

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-079379

(43)Date of publication of application : 12.03.1992

(51)Int.Cl.

H01L 29/784  
H01L 23/58

(21)Application number : 02-194346

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 23.07.1990

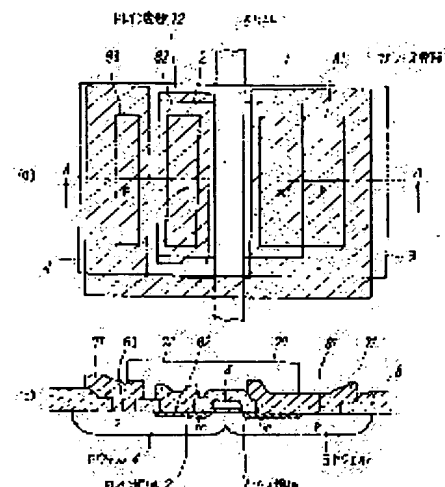
(72)Inventor : UENO KATSUNORI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To prevent the destruction of elements due to a parasitic effect by a horizontal MOSFET for obtaining such a semiconductor device as has a switching element which operates at a low on-state voltage and hardly gets a decline in a pressure resistance by connecting at a low resistance the horizontal MOSFET for controlling a gate voltage and a second conductivity-type well region which separately surrounds the first conductivity-type source region and drain region.

**CONSTITUTION:** An Al-made source electrode 71 which is brought into contact with the exposed surface of a p-type well 3 and n<sup>+</sup>-type source region 1 at an opening 81 of an insulating film 8 is extended to be brought into contact with the exposed surface of a p-type well 4 at an opening 83 of the insulating film 8.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2890725号

(45) 発行日 平成11年(1999) 5月17日

(24) 登録日 平成11年(1999) 2月26日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/78  
21/8234  
27/088

H 0 1 L 29/78  
27/08  
29/78

6 5 6 D  
1 0 2 A  
3 0 1 X

請求項の数 4 (全 7 頁)

(21) 出願番号 特願平2-194346

(22) 出願日 平成2年(1990) 7月23日

(65) 公開番号 特開平4-79379

(43) 公開日 平成4年(1992) 3月12日

審査請求日 平成7年(1995) 3月9日

(73) 特許権者 999999999

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 弁理士 篠部 正治

審査官 安田 雅彦

(58) 調査した分野(Int.Cl.<sup>8</sup>, D B名)

H01L 29/78

H01L 27/088

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】 電力用スイッチング素子の半導体基板の第一導電型の層の表面部に形成された二つの第二導電型の領域の一方に第一導電型のソース領域を形成し、他方に第一導電型のドレイン領域を形成し、そのソース領域およびドレイン領域にはさまれた領域の表面上に絶縁膜を介してゲートを設けてなるスイッチング素子ゲート制御用横形MOSFETを有するものにおいて、二つの第二導電型の領域の両領域表面に接触し、該二つの第二導電型の領域を接続する配線を有することを特徴とする半導体装置。

【請求項2】 電力用スイッチング素子の半導体基板の第一導電型の層の表面部に形成された二つの第二導電型の領域の一方に第一導電型のソース領域を形成し、他方に第一導電型のドレイン領域を形成し、そのソース領域お

よびドレイン領域にはさまれた領域の表面上に絶縁膜を介してゲートを設けてなるスイッチング素子ゲート制御用横形MOSFETを有するものにおいて、半導体基板の横形MOSFETのゲートが上に存在しない表面部に選択的に形成され、かつ前記二つの第二導電型の領域の両領域を接続する第二導電型の低抵抗領域を有することを特徴とする半導体装置。

【請求項3】 電力用スイッチング素子が絶縁ゲートバイポーラトランジスタであることを特徴とする請求項1あるいは2記載の半導体装置。

【請求項4】 電力用スイッチング素子が縦形MOSFETであることを特徴とする請求項1あるいは2記載の半導体装置。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は、半導体基板に流れる主電流を基板表面に設けられたMOS構造により制御する絶縁ゲートバイポーラトランジスタ（以下IGBTと記す）あるいは電力用MOSFETのような電力用スイッチング素子の過電流保護回路を同一半導体基板に内蔵した半導体装置に関する。

〔従来の技術〕

従来、電力用スイッチング素子としては、バイポーラトランジスタやMOSFETが知られていたが、これに加えて、両者の特徴を備え、電圧駆動できるIGBTも多く世に出るようになった。IGBTは、電圧駆動できる上、オン電圧、すなわちオン状態での電圧降下が少なく、スイッチング速度も比較的高速にできるという利点がある。その一方で、構造上寄生サイリスタを内蔵しているため、ラッチアップと呼ばれる電流制御不可能なモードが問題とされていた。ラッチアップは、電流を多く流した時、寄生サイリスタが動作するとして説明されている。第2図はIGBTの構造と等価回路を模式的に示し、 $n$ -ベース層11の一側には $n$ バッファ層12をはさんで $p^+$ コレクタ層13が存在する。 $n$ -ベース層11の他側の表面部には $p$ ウエル14が形成され、さらにその表面部に $n^+$ ソース領域15が形成されている。 $p$ ウエル14の $n^+$ ソース領域15と $n$ -ベース層11にはさまれた部分にチャネルを形成するため、表面上に絶縁膜16を介してゲート17が備えられている。そして、ソース領域15と $p$ ウエル14にはエミッタ電極18が共通に接触している。この半導体基板には、図中に記入されているように、 $p^+$ コレクタ層13、 $n$ -ベース層11および $p$ ウエル14からなるPNPバイポーラトランジスタ21のほか、 $n^+$ ソース領域15、 $p$ ウエル14および $n$ -ベース層11からなる寄生NPNバイポーラトランジスタ22が構成され、この二つのトランジスタからなる寄生サイリスタが存在する。別に表面部および表面上に、 $n^+$ ソース領域15、 $p$ ウエル14、 $n$ -ベース層11、絶縁膜16およびゲート17で $n$ チャネルMOSFET23が構成されており、トランジスタ21のベース電流を供給する。ラッチアップは、抵抗 $R$ に流れる電流が多いかあるいは $R$ が大きい場合、NPNトランジスタ22がオンすることが主な原因である。これを抑えるには、抵抗 $R$ を小さくすることが重要で、そのために構造上いろいろな工夫がなされている。その一つとして、 $p$ ウエル14の深さを深くすれば良い。しかしながら、MOSFET23のオン抵抗は $p$ ウエルの深さに比例するので、この対策では素子オンの電圧が上昇してしまう。このほかの抵抗 $R$ を小さくする方策あるいは他のラッチアップを防止する方策も、いずれも素子のオン電圧の上昇を伴う場合がほとんどである。そこで、ラッチアップの防止を、素子のオン電圧と別に制御できることが重要になってくる。その対策として、過電流が流れた時、ゲート電圧を小さくして電流を小さくするようなフィードバックをかける回路を内蔵することが考えられている。第3図はその一例を等価回路を示す。すなわち、主IGBT31のほかに電流センス用IGBT32を電流センス用抵抗 $R_2$ と

共にエミッタ端子Eとコレクタ端子Cの間に並列に接続し、さらに主IGBT31のゲートとエミッタの間にゲート制御MOSFET33を接続し、そのゲートを電流センス用IGBT32のエミッタに接続する。簡単にこの回路の動作を説明すると、大きな電流が主IGBT31に流れる時、それに比例した電流 $I$ が電流センス用IGBT32に流れる。このとき、電流センス用抵抗 $R_2$ によりゲート制御MOSFET33のゲートに、

$$V = R_2 \times I$$

の電圧が印加され、この値がMOSFET33のしきい値電圧を超えた時、MOSFET33に電流が流れて抵抗 $R_1$ とMOSFET33によってゲート端子Gに印加されている電圧が分圧されるようになる。このようにして、主にIGBT31のゲート電圧が低下し、主IGBTの電流をしばるように働く。

この回路は、主IGBTの外部に、とりつけることも可能だが、その場合、コストが上昇してしまうという不利をとまう。そのため、IGBTと同一チップ上に、形成した方が良い。第4図は、この過電流抑制回路を内蔵したチップの構造の一部を示したもので、第2図、第3図と共通の部分には同一の符号が付されている。主IGBTチップの周縁部にはそれと同一構造の電流センス用IGBT32およびゲート制御用MOSFET33が形成されている。ゲート制御用MOSFET33は、基板表面部に形成された $n^+$ ソース領域1とそれを囲む $p$ ウエル3、 $n^+$ ドレイン領域2とそれを囲む $p$ ウエル4および表面上にゲート絶縁膜5を介して設けられる多結晶シリコンゲート6よりなる。そして、ソース領域1および $p$ ウエル3に共通に接触するソース電極71はエミッタ端子Eに、ドレイン領域2に接触するドレイン電極72は抵抗 $R_1$ を介してゲート端子Gに接続され、またゲート6は抵抗 $R_2$ を介してエミッタ端子Eに接続されていることは第3図におけると同様である。

〔発明が解決しようとする課題〕

第4図の構造は、従来のIGBTの製造工程においてパターンを変更するのみで形成することができるが、このとき、最大の問題となるのはゲート制御用横形MOSFET33の構造に関する寄生効果である。第4図の構造を従来のIGBTの製造工程で形成する場合、横形MOSFET33のゲート6は、主IGBT31および電極センス用IGBT32のゲート17と共に、基板表面上にゲート絶縁膜を介して形成した多結晶シリコン層をパターンニングして形成する。横形MOSFET33の $p$ ウエル3、4はそのあとで形成される。第5図は、横形MOSFETの部分のみを拡大して示したもので、 $p$ ウエル3、4は、多結晶シリコンゲート6および酸化膜8をマスクとしてのイオン注入および熱拡散によりIGBT部分の $p$ ウエル14と同時に形成する。ゲート6の直下にはイオンが注入されないため、その直下の部分では両 $p$ ウエル3、4が熱拡散により横方向に延び、チャネル長に比較して $p$ ウエル3、4の拡散深さが充分大きくないときは、連結して図のようにくびれた形状になるか、あるいは連結しないで離れた二つの $p$ ウエルとなる。 $p$ ウエル3、4が第

5図のような形状をとっている場合、主IGBT31がオフすると、 $n$ ベース層11を満たしていたホール $h$ の一部は、ソース側の $p$ ウエル3を通してソース電極71からエミッタ端子Eにぬけると共に、ドレイン側の $p$ ウエル4へも入りこんでソース電極71にぬける。このとき、 $p$ ウエル3,4が浅ければ、抵抗34が両ウエル間に発生し、ドレイン側の $p$ ウエルの電位が上昇するため、ドレイン領域2から $p$ ウエル4へ電子 $e$ の注入が発生する。これは、 $n^+$ ドレイン領域2、 $p$ ウエル4および $n$ -層11からなる寄生NPNトランジスタを動作させることになり、一種のラッチアップであって、素子破壊を招く。さらに $p$ ウエル3,4が浅くて連結しない場合は、静的な耐圧の劣化となる。チャネル長に比較して $p$ ウエル3,4の拡散深さを充分大きくすれば、このような横形MOSFETのラッチアップ、耐圧劣化の問題を避けることができるが、同時にIGBT部の $p$ ウエル14が深くなり、主IGBTのオン電圧が高くなってしまふ。この結果、やはりラッチアップの防止とオン電圧とのトレードオフの関係が解消しないことになる。

このような問題は、第2図における $p^+$ 層13のない縦形MOSFETにおける寄生バイポーラトランジスタの動作によるラッチバックと呼ばれる現象についても同様である。また、各部の導電型を交換した $p$ チャネルIGBTあるいは $p$ チャネルMOSFETにおいても同様に存在する。

本発明の目的は、上述の問題を解決し、過電流保護回路の横形MOSFETのウエル拡散深さを浅くても、寄生バイポーラトランジスタの動作が起きることなく、オン電圧上昇、耐圧劣化を招かないでIGBTあるいはMOSFETを過電流より保護することのできる半導体装置を提供することにある。

#### 〔課題を解決するための手段〕

本発明は、電力用スイッチング素子の半導体基板の第一導電型の層の表面部に形成された二つの第二導電型の領域の表面部にそれぞれ選択的に第一導電型のソース領域およびドレイン領域を形成し、そのソース領域およびドレイン領域にはさまれた領域の表面上に絶縁膜を介してゲートを設けてなるスイッチング素子ゲート電圧制御用横形MOSFETを有する半導体装置において、二つの第二導電型の領域を接続する両領域の表面に接触する配線あるいは横型MOSFETのゲートが上に存在しない表面部に選択的に形成された第二導電型の抵抗領域にを有するものとする。

#### 〔作用〕

ゲート電圧制御用の横型MOSFETと第一導電型のソース領域およびドレイン領域をそれぞれ囲む第二導電型のウエル領域を低抵抗で接続することにより、電力用スイッチング素子のターンオフ時にウエル領域に電流が流れこんでも大きな電圧降下が発生せず、ドレイン領域とそれを囲むウエル領域の間に電位差が生じない。従って、第一導電型のドレイン領域、第二導電型のウエル領域および第一導電型の層よりなる寄生バイポーラトランジスタ

の寄生効果が発生しない。

#### 〔実施例〕

以下、前出の各図と共通の部分には同一の符号を付した図を引用して本発明の実施例について説明する。第1図(a), (b)に示す一実施例では、 $p$ ウエル3および $n^+$ ソース領域1の絶縁膜8の開口部81における露出面に共通に接触する斜線を引いて示したA1よりなるソース電極71が延長され、 $p$ ウエル4の絶縁膜8の開口部83における露出面に接触している。第1図(b)では、この延長を線70で示している。

第6図(a), (b)に示す別の実施例では、横形MOSFETのゲート6の端部の外側にもイオン注入を行い、 $p$ ウエル3と $p$ ウエル4を連結する $P$ 領域9を形成している。この $p$ 領域9の上にはゲート6が存在しないのでイオンが均一に注入され、拡散深さは一様であり、従って $p$ ウエル3と $p$ ウエル4は低抵抗で接続されるが、さらにこの $p$ 領域9の上にも第1図の実施例と同様にソース電極71を延長させ、絶縁膜8の開口部84および83で $p$ 領域9および $p$ ウエル4に接触させることによりより低抵抗にして、 $p$ ウエル4と $p$ ウエル3の間に電位差が生じないようにしたものである。

第7図はさらに別の実施例を示し、第1図あるいは第6図の実施例よりさらに $p$ ウエルの抵抗を下げるため、ソース電極71の $p$ ウエル3との接触部およびソース電極71の延長部の $p$ ウエル4との接触部に高不純物濃度の $n^+$ 領域10を設けている。

以上の実施例は、主スイッチング素子が $n$ チャネルIGBTの場合であるが、半導体の導電型を $p-n$ 逆転した $p$ チャネルIGBTや電力用MOSFETについても全く同様に実施できることは明白である。

#### 〔発明の効果〕

本発明によれば、電力用スイッチング素子の過電極保護回路を構成する横形MOSFETをスイッチング素子と同一半導体基板に内蔵させる場合に、横形MOSFETのソース側ウエル領域とドレイン側ウエル領域の間に生ずる抵抗の影響を両ウエル領域を低抵抗で接続することにより除去することによって、横形MOSFETの寄生効果をウエルの拡散深さを大きくしないで防止することができた。この結果、横形MOSFETの寄生効果による素子破壊がなくなり、オン電圧が低く耐圧劣化のおそれのないスイッチング素子を含む半導体装置を得ることができた。

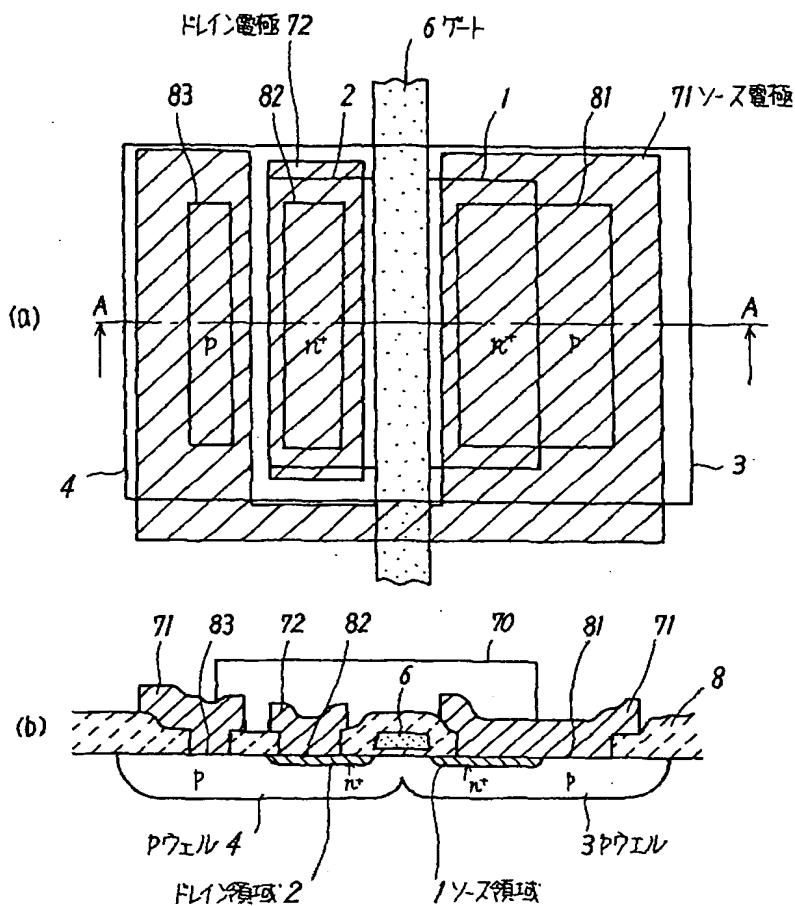
#### 〔図面の簡単な説明〕

第1図は本発明の一実施例の半導体装置の横形MOSFETを示し、そのうち(a)は平面図、(b)は(a)のA-A線断面図、第2図はIGBTの構造と等価回路を示す模式的断面図、第3図はIGBTの過電流保護回路図、第4図は過電流保護回路内蔵IGBTの要部断面図、第5図は第4図の横形MOSFETの断面図、第6図は本発明の別の実施例の半導体装置の横形MOSFETを示し、そのうち(a)は平面図、(b)は(a)のB-B線断面図、第7図は本発明

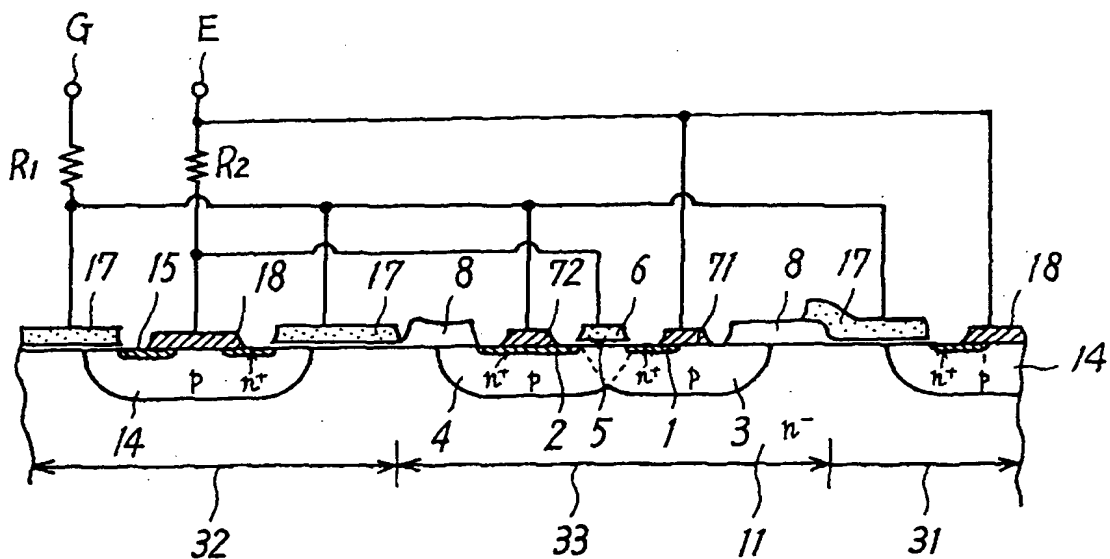
のさらに別の実施例の半導体装置の横形MOSFETの断面図である。

1:ソース領域、2:ド레인領域、3、4:pウェル、6:ゲート、71:ソース電極、72:ド레인電極、9:連結p領域。

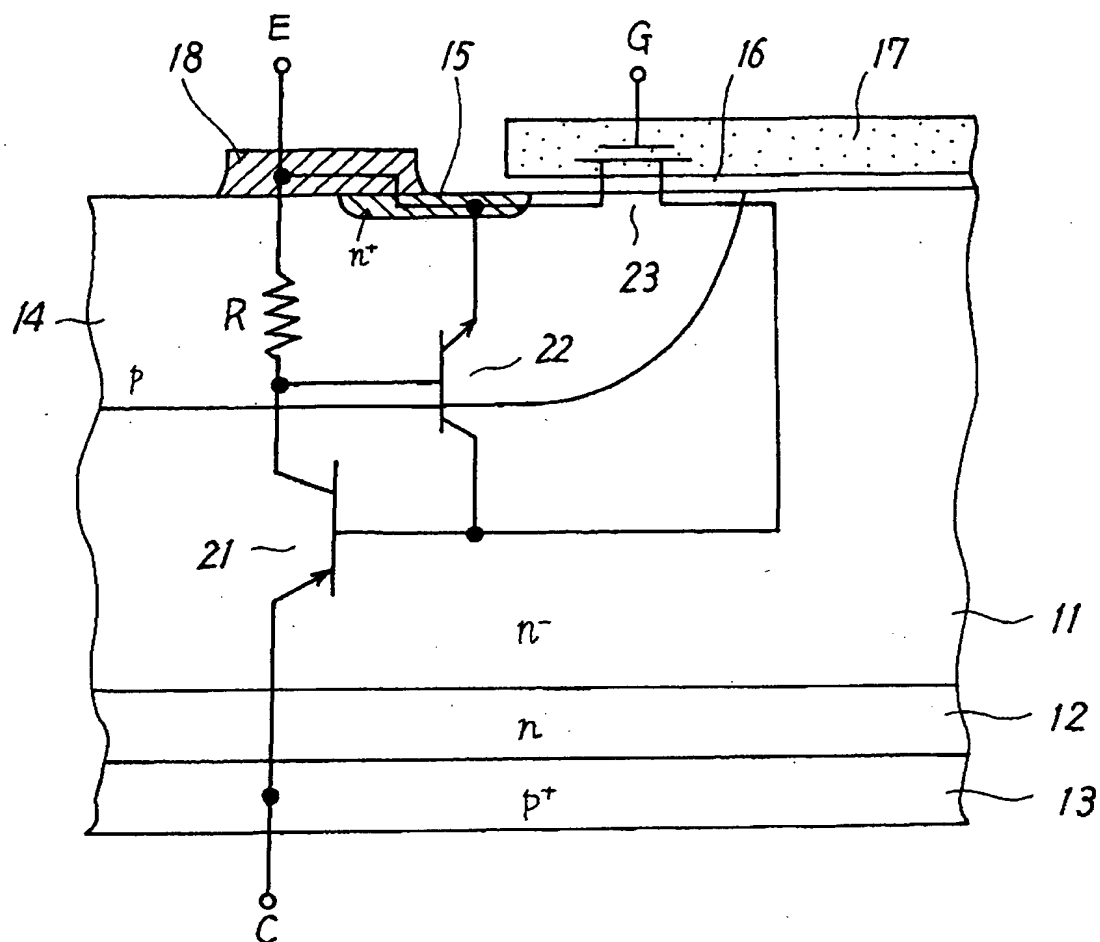
【第1図】



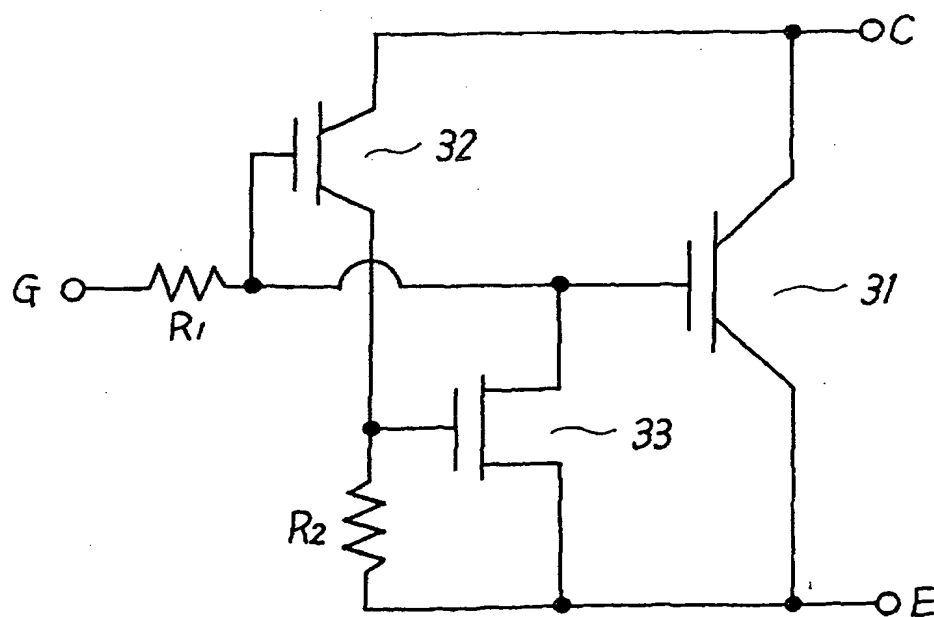
【第4図】



【第2図】



【第3図】







【第7図】

